



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63210823 A**(43) Date of publication of application: **01.09.88**

(51) Int. Cl.

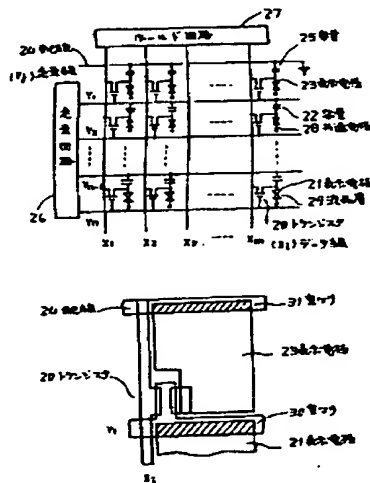
G02F 1/133**G09F 9/30**(21) Application number: **62042986**(22) Date of filing: **27.02.87**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **YANAGISAWA TOSHIO
SHIBUSAWA MAKOTO
ABE MASANARU****(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL
DISPLAY ELEMENT****(57) Abstract**

PURPOSE: To improve display performance and uniformity of display in an image plane by arranging each display electrode of each picture element in the uppermost line or the lowermost line to form a capacity in combination with a wiring having a specified voltage impressed thereto.

CONSTITUTION: Display electrodes 21 in picture elements below the second line except the uppermost line forms a capacity 22 in combination with superposition 30 of preceding scanning lines Y_i . On the other hand, a display electrode 23 in a picture element in the uppermost line excited by the scanning line Y_1 forms a capacity 25 in combination with a superposition 31 through an insulating film for an earthed wiring 24 provided to above the picture element in the uppermost line. In contrast with this, when the electrode forms a capacity 22 in combination with a scanning line Y_i in the succeeding line, a wiring 24 is formed just below the lowermost line forming a capacity 25 of a picture element arranged to the lowermost line. By this constitution, the display electrode has a structure forming a capacity in combination with a scanning line

or a newly provided wiring. Accordingly, all parts of the picture element becomes electrically almost equivalent, and the display characteristic and the uniformity of display in an image plane are improved.

COPYRIGHT: (C)1988,JPO&Japio



Japanese Publication for Unexamined Patent Application
No. 210823/1988 (Tokukaishou 63-210823)

A. Relevance of the Above-identified Document

This document has relevance to Claims 1 and 11 of the present application.

B. Translation of the Relevant Passages of the Document

[EMBODIMENT]

In the following, details of the present invention is explained with reference to figures.

Figures 1 and 2 are views illustrating an embodiment of the present invention. Figure 1 is an electrical equivalent circuit diagram, while Figure 2 is a plan view of a pixel provided in a vicinity of a top line. In Figure 1, TFTs are formed as transistors (20) at cross sections between scanning lines (Y_j) ($j = 1, 2, \dots, n$) and data lines (X_i) ($i = 1, 2, \dots, m$), while pixels, whose switching elements are the transistors (20), are provided in a matrix manner. And as illustrated in Figure 20, display electrodes (21) in the pixels on lines except of the top line (the first line), that is, lines from the second lines to the bottom, forms capacitors (22) by overlapping sections (30) that overlap with the scanning line (Y_j) on one

line before, whereas display electrodes (23), which are turned on by a scanning line (Y_i) form capacitors (25) by overlapping sections (31) that overlap, via an insulating film, with a wire (24) that is grounded and is provided on the pixels on the top line. Moreover, the display electrodes (21) and (23) are connected with source electrodes of the transistors (20), whereas gates and drain electrodes of the transistors (20) are connected respectively to the scanning lines (Y_j) and data lines (X_i). And the scanning lines (Y_j) are connected to a scan circuit 26, while the data lines (X_i) are connected with a hold circuit (27) that generates display data one horizontal line by one horizontal line. Moreover, a liquid crystal layer (29) is sandwiched between the display electrodes (21) and (23), and a common electrode (28). The liquid crystal layer (29) is driven by a potential difference between signals held by the display electrodes (21) and (23), and the common electrode (28).

Figure 3 is a cross-sectional view schematically illustrating the present embodiment. In the figure, a gate electrode (41), a gate insulating file (42), a semiconductor layer (43), the TFT that is composed by a source electrode (44) and a drain electrode (45), and a

display electrode (46) on a main surface of a glass substrate (40). One end of the display electrode (46) is connected to the source electrode (44). Further, on the main surface of the glass substrate (40), an alignment film (47) is formed so as to cover those sections. Thereby, an array substrate (48) is formed. On the other hand, a color filter (50), a protective film (51), a common electrode (52) and an alignment film (53) are formed sequentially on a glass substrate (49), thereby forming an opposite substrate (54). And, the array substrate (48) and the opposite substrate (54) are provided to face each other by a sealing material (not shown) surrounding them. A liquid crystal layer (55) is sandwiched between the array substrate (48) and the opposite substrate (54).

In the present embodiment, the pixels provided on the top line are electrically equivalent with the pixels provided on the lines from the second line to the bottom line, because the wire (24) exists. Because of this, the pixels provided on the top line are equivalent with the pixels provided on the lines from the second line to the bottom line, in terms of characteristics in writing signal voltages, and holding characteristics. Therefore, they have equivalent

display characteristics, thereby improving evenness in display within an screen.

Note that, in case, on the contrary to the present embodiment, the display electrode forms the capacitor (22) with the scanning line on the next line the wire (24), which is the characteristic feature of the present invention, is formed on a line next to the bottom line, while the capacitors (25) of the pixels are provided on the bottom line. Moreover, the wire (24) for forming capacitors should be almost fixed to a predetermined voltage, but need not be grounded. The wire (24) may be at a constant voltage of 5 V, for example. Further, the wire (24) for forming capacitors need not be formed on the layer on which the scanning lines (Y_j) are formed. It is needless to say that, as long as the wire (24) forms capacitors equivalent with those of the other pixels, the wire (24) may have such a positional relationship with the scanning lines (Y_j) that the wire (24) is provided below the scanning lines (Y_j) with respect to the display electrode, on the contrary to the present embodiment.

⑫ 公開特許公報(A)

昭63-210823

⑬ Int. Cl.⁴G 02 F 1/133
G 09 F 9/30

識別記号

3 2 7
3 3 8

庁内整理番号

7370-2H
C-7335-5C

⑭ 公開 昭和63年(1988)9月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 アクティブマトリックス型液晶表示素子

⑯ 特 願 昭62-42986

⑰ 出 願 昭62(1987)2月27日

⑱ 発 明 者 柳 澤 俊 夫 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内
 ⑲ 発 明 者 波 沢 誠 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内
 ⑳ 発 明 者 阿 部 昌 匠 兵庫県姫路市余部区上余部50 株式会社東芝姫路工場内
 ㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
 ㉒ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

アクティブマトリックス型液晶表示素子

2. 特許請求の範囲

(1) 走査線及びデータ線の交差部に形成されたトランジスタをスイッチ素子として有する画素をマトリックス状に配置し且つ前記画素内の表示電極が前行或いは次行の前記走査線と容量を形成する構成のアレイ基板と、共通電極が形成された対向基板との間に液晶層を挟持してなるアクティブマトリックス型液晶表示素子において、最上行或いは最下行に配置される前記画素の表示電極が前記走査線とは異なり且つ所定の電圧を印加した配線と容量を形成してなることを特徴とするアクティブマトリックス型液晶表示素子。

(2) 前記表示電極は前行の前記走査線と容量を形成し、最上行に配置された前記画素の表示電極は更に上部に形成された前記配線と容量を形成することを特徴とする特許請求の範囲第1項記載のアクティブマトリックス型液晶表示素子。

(3) 前記表示電極は次行の前記走査線と容量を形成し、最下行に配置された前記画素の表示電極は更に下部に形成された前記配線と容量を形成することを特徴とする特許請求の範囲第1項記載のアクティブマトリックス型液晶表示素子。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、トランジスタをスイッチ素子として表示電極アレイを構成したアクティブマトリックス型液晶表示素子に関する。

(従来の技術)

最近、液晶やエレクトロルミネッセンス(EL)を用いた表示装置は、テレビ表示やグラフィックディスプレイ等を指向した大容量で高密度のアクティブマトリックス型表示装置の開発及び実用化が盛んである。このような表示装置では、クロストークのない高コントラストの表示が行えるように半導体スイッチが用いられる。その半導体スイッチとしては、単結晶シリコン基板上に形成され

た電界効果トランジスタや、最近では透過形表示が可能であり大画面化も容易である等の理由から、透明絶縁基板上に形成された薄膜トランジスタ（以下、TFTと称す）等がある。

第4図はTFTを用いた表示電極アレイを用いた液晶表示装置の等価回路図である。同図において、 (X_i) ($i=1, 2, \dots, m$)は通常データ線として用いられる列選択線、 (Y_j) ($j=1, 2, \dots, n$)は通常走査線として用いられる行選択線であり、これらデータ線 (X_i) と走査線 (Y_j) の各交点位置にTFT(1)が設けられている。そしてTFT(1)のドレインは列ごとにデータ線 (X_i) に接続され、ゲートは行ごとに走査線 (Y_j) に接続されている。また表示電極(2)はそれぞれTFT(1)のソースに接続され、この表示電極(2)と対向電極(3)との間に液晶(4)が挟持される。この液晶(4)は、表示電極(2)に保持される信号と対向電極(3)との電位差により駆動される。信号電圧は液晶容量(5)により保持することができるが、

第5図は、第4図に示した表示電極アレイの最上行(第1行)に配置される画素を中心とした平面図である。同図において、第2行の表示電極(10)は第1行の走査線 (Y_1) との重なりによる容量を形成しているが、第1行の表示電極(11)は上に走査線 (Y_j) がないため、容量即ち信号蓄積容量が形成されない。そして信号蓄積容量をもたない画素では、信号蓄積容量をもつ画素と信号電圧の蓄込み特性や保持特性が異なるため、両者で電気光学特性に差異を生じ、例えばその行のみ平均輝度が異なり、輪欠陥のように見えることがある。

この発明は、トランジスタをスイッチ素子とし、表示電極と前或いは後の走査線との重なりにより、容量を形成する構造のアクティブマトリックス型液晶表示素子の表示性能や画面内表示の均一性を向上させている。

〔発明の構成〕

(問題点を解決するための手段)

この発明は上記構造のアクティブマトリックス

信号蓄積容量(6)を並列に設け、信号保持能力を強化することが多い。信号蓄積容量(6)を形成する方法の一つとして、第3図に示すように前後の走査線 (Y_j) と表示電極(2)との間に容量形成する方法がある。この方法では、面積利用効率がよく、いわゆる開口率を大きくとれるという長所があり、例えば特開昭58-106860号公報に記載されている。

(発明が解決しようとする問題点)

しかしながら、表示電極(2)と走査線 (Y_j) との重なりによって信号蓄積容量(6)を形成する場合には、最上行或いは最下行に配置される画素には、信号蓄積容量(6)が形成されないことになる。即ち、一つ前(或いは上)の走査線 (Y_j) と容量を形成する場合には最上行の画素が、一つ後(或いは下)の走査線 (Y_j) と容量を形成する場合には最下行の画素が、信号蓄積容量(6)をもたない。なぜなら、表示電極(2)と走査線 (Y_j) が重なる位置に、走査線 (Y_j) がないからである。

型液晶表示素子に関し、走査線とは別個に配線を設け、最上行或いは最下行に配置される各画素の表示電極が所定の電圧を印加した前述の配線と容量を形成するものである。

(作用)

この発明は、すべての表示電極が走査線或いは新たに設けた配線と容量を形成する構造なので、画素全部が電気的にほぼ等価になり、表示特性や画面内表示の均一性が従来に比べ向上する。

(実施例)

以下、この発明の詳細を図面を参照して説明する。

第1図と第2図は、この発明の構成の一実施例を示す図であり、第1図はこの実施例の電気的な等価回路図、第2図は最上行付近に配置される画素の平面図を表している。第1図において、走査線 (Y_j) ($j=1, 2, \dots, n$)とデータ線 (X_i) ($i=1, 2, \dots, m$)の交差部にトランジスタ(20)としてTFTが形成されており、このトランジスタ(20)をスイッチ素子として有

する画素がマトリックス状に配置されている。そして、第2図からも明らかなように、最上行(第1行)を除く第2行以下の画素内の表示電極(21)は、前の走査線(Y_j)との重なり(30)により容量(22)を形成しているのに対し、走査線(Y_i)により駆起される最上行の画素内の表示電極(23)は、最上行の画素の上に設けられた接地した配線(24)との絶縁膜を介した重なり(31)により、容量(25)を形成している。また、表示電極(21)、(23)は対応するトランジスタ(20)のソース電極に接続され、トランジスタ(20)のゲート及びドレイン電極は、それぞれ対応する走査線(Y_j)とデータ線(X_i)に接続されている。そして走査線(Y_j)は走査回路(26)に接続され、データ線(X_i)は一水平ライン単位で表示データを発生するホールド回路(27)に接続されている。また、表示電極(21)、(23)と共通電極(28)との間に液晶層(29)が挟持され、液晶層(29)は表示電極(21)、(23)に保持される信号と共通電極(28)との電位差により駆動

される。

第3図はこの実施例の要部を示す断面図である。同図において、ガラス基板(40)の一主面上にはゲート電極(41)、ゲート絶縁膜(42)、半導体層(43)、ソース電極(44)及びドレイン電極(45)から構成されるTFTと、一端がソース電極(44)に接続されている表示電極(46)が形成され、更にこれらを図うように配向膜(47)が形成されており、アレイ基板(48)が得られる。一方、ガラス基板(49)上にはカラーフィルター(50)、保護膜(51)、共通電極(52)及び配向膜(53)が順次形成されて対向基板(54)が得られる。そしてアレイ基板(48)と対向基板(54)とは、周囲のシール材(図示せず)により対向配置され、その間隙には液晶層(55)が挟持されている。

この実施例では、配線(24)が存在することにより、最上行に配置される画素は、第2行以下に配置される画素と電気的にほぼ等価となり、信号電圧の漏込み特性や保持特性が同等になる。従っ

て、その表示特性も同等になり、画面内表示の均一性が向上する。

なおこの実施例とは逆に、表示電極が次行の走査線(Y_j)と容量(22)を形成する場合には、最下行の次にこの発明の特徴である配線(24)を形成し、最下行に配置される画素の容量(25)を設ける。また容量形成用の配線(24)は、所定の電圧にほぼ固定されていなければならないが、必ずしも接地されている必要はなく、例えば5Vという一定電圧でもよい。更に容量形成用の配線(24)は、走査線(Y_j)と同一の層により形成されている必要はなく、形成される容量が他の画素と同等であれば、走査線(Y_j)とは表示電極に対し上下反対の位置関係にあるものでもよいことは言うまでもない。

〔発明の効果〕

この発明のアクティブマトリックス型液晶表示素子は構造上、すべての画素の表示電極が走査線或いは所定の電圧が印加された配線と容量を形成することができるので、全画面にわたって均一性

の高い表示が可能になる。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示す等価回路図、第2図はこの発明の配線付近の一例を示す平面図、第3図はこの発明の要部の一例を示す断面図、第4図は従来のアクティブマトリックス型液晶表示素子の一例を示す等価回路図、第5図は従来のアクティブマトリックス型液晶表示素子の要部の一例を示す平面図である。

- (Y_j) ……走査線、
- (X_i) ……データ線、
- (20) ……トランジスタ、
- (21)、(23)、(46) ……表示電極、
- (22)、(25) ……容量、
- (24) ……配線、
- (28)、(52) ……共通電極、
- (29)、(55) ……液晶層、
- (48) ……アレイ基板、
- (54) ……対向基板、

